

PAT-NO: JP02002280387A

DOCUMENT-IDENTIFIER: JP 2002280387 A

TITLE: METAL WIRING FORMING METHOD FOR SEMICONDUCTOR CHIP

PUBN-DATE: September 27, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
LEE, JONG-MYEONG	N/A
KIN, HEIKI	N/A
LEE, MYOUNG-BUM	N/A
YUN, JU-YOUNG	N/A
CHOI, GIL-HEYUN	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
SAMSUNG ELECTRONICS CO LTD	N/A

APPL-NO: JP2001345317

APPL-DATE: November 9, 2001

PRIORITY-DATA: 2001200112900 (March 13, 2001)

INT-CL (IPC): H01L021/3205, H01L021/28

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a metal wiring forming method for a semiconductor chip including a process, in which a nucleus-forming linear is

formed before an aluminum liner is formed by a CVD method.

SOLUTION: A metal wiring forming method for a semiconductor chip includes a process, in which a barrier metal film is formed on a semiconductor substrate, a process in which a nucleus forming liner for growth of an aluminum film is formed on the barrier metal film in an evacuated atmosphere, a process in which an aluminum film is formed insitu on the nucleus forming liner by a CVD method in an evacuated atmosphere to form an aluminum liner, a process in which a metal film is formed on the aluminum liner by a PVD method, and a process in which a resultant product of the formation of the metal film is subjected to heat treatment in the evacuated atmosphere for reflow. With such a constitution, contact holes or via holes for forming a metal wiring can be filled completely, so that the reliability of the semiconductor chip can be improved.

COPYRIGHT: (C)2002,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-280387

(P2002-280387A)

(43) 公開日 平成14年9月27日(2002.9.27)

(51) Int. Cl. ⁷	識別記号	F I	キーワード(参考)
H 0 1 L 21/3205		H 0 1 L 21/28	3 0 1 L 4 M 1 0 4
21/28	3 0 1	21/88	N 5 F 0 3 3
			R

審査請求 未請求 請求項の数25 O L (全 7 頁)

(21) 出願番号 特願2001-345317(P2001-345317)

(22) 出願日 平成13年11月9日(2001.11.9)

(31) 優先権主張番号 2 0 0 1 1 2 9 0 0

(32) 優先日 平成13年3月13日(2001.3.13)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 390019839

三星電子株式会社

大韓民国京畿道水原市八達区梅灘洞416

(72) 発明者 李 鍾鳴

大韓民国京畿道城南市盆唐区盆唐洞35番地
セッピョルマウル東星アパート207棟1001号

(72) 発明者 金 秉熙

大韓民国ソウル特別市銅雀区舎堂洞1137番地
新東亜アパート503棟202号

(74) 代理人 100064908

弁理士 志賀 正武 (外1名)

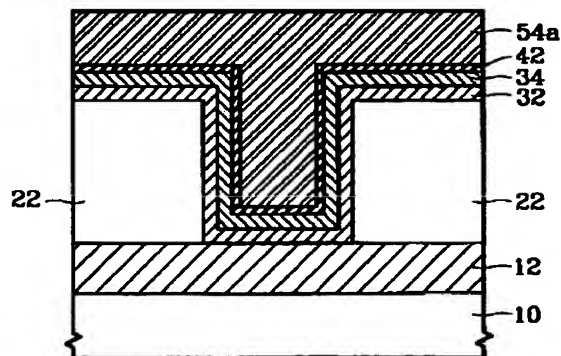
最終頁に続く

(54) 【発明の名称】 半導体素子の金属配線形成方法

(57) 【要約】

【課題】 CVD法によりアルミニウムライナーを形成する前に核形成用ライナーを形成する工程を含む半導体素子の金属配線形成方法を提供する。

【解決手段】 半導体素子の金属配線形成方法では半導体基板上に障壁金属膜を形成する。アルミニウム膜の成長のための核形成用ライナーを真空雰囲気下で前記障壁金属膜上に形成する。真空雰囲気下においてインサイチュでCVD法により前記核形成用ライナー上にアルミニウム膜を成長させてアルミニウムライナーを形成する。PVD法を用いて前記アルミニウムライナー上に金属膜を形成する。前記金属膜が形成された結果物を真空雰囲気下で熱処理してリフローさせる。これにより、金属配線形成のためのコンタクトホール又はビアホールを完全に埋め込むことができ、半導体素子の信頼性を向上させ得る。



【特許請求の範囲】

【請求項1】 半導体基板上に障壁金属膜を形成する段階と、
アルミニウム膜の成長のための核形成用ライナーを真空雰囲気下で前記障壁金属膜上に形成する段階と、
真空雰囲気下においてインサイチュでCVD法により前記核形成用ライナー上にアルミニウム膜を成長させてアルミニウムライナーを形成する段階と、
PVD法を用いて前記アルミニウムライナー上に金属膜を形成する段階と、
前記金属膜が形成された結果物を真空雰囲気下で熱処理してリフローさせる段階とを含むことを特徴とする半導体素子の金属配線形成方法。

【請求項2】 前記障壁金属膜を形成する前に、
前記半導体基板上に抵抗性金属膜を形成する段階をさらに含むことを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項3】 前記抵抗性金属膜は、Ti又はTaより成ることを特徴とする請求項2に記載の半導体素子の金属配線形成方法。

【請求項4】 前記障壁金属膜は、TiN、Ta₂N、TiAlN、TiSiN、TaAlN、TaSiN又はWNより成ることを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項5】 前記障壁金属膜を形成する段階後に、
前記障壁金属膜を熱処理する段階をさらに含むことを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項6】 前記障壁金属膜を熱処理する段階は、窒素雰囲気下で400℃～550℃の温度で行われることを特徴とする請求項5に記載の半導体素子の金属配線形成方法。

【請求項7】 前記障壁金属膜の熱処理は、急速熱処理工程で行われることを特徴とする請求項5に記載の半導体素子の金属配線形成方法。

【請求項8】 前記急速熱処理工程は、アンモニアガス雰囲気下で650℃～850℃の温度で行われることを特徴とする請求項7に記載の半導体素子の金属配線形成方法。

【請求項9】 前記核形成用ライナーは、耐熱金属又は耐熱金属化合物より成ることを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項10】 前記核形成用ライナーは、Ti膜、TiN膜又はTi/TiN膜より成ることを特徴とする請求項9に記載の半導体素子の金属配線形成方法。

【請求項11】 前記核形成用ライナーは、CVD又はPVD方法で形成されることを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項12】 前記核形成用ライナーは、Ti-リッチTiN膜を含むことを特徴とする請求項9に記載の半導体素子の金属配線形成方法。

【請求項13】 前記Ti-リッチTiN膜は、H₂プラズマを

使用するCVD方法により形成されることを特徴とする請求項12に記載の半導体素子の金属配線形成方法。

【請求項14】 前記Ti-リッチTiN膜は、スパッタリング方法により形成されることを特徴とする請求項12に記載の半導体素子の金属配線形成方法。

【請求項15】 前記核形成用ライナーは、10～100Åの厚さで形成されることを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項16】 前記アルミニウムライナーは、DMAH、TMAA、DMEAA又はMPA前駆体を使用する選択的MOCVD方法により形成されることを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項17】 前記金属膜形成段階は、前記アルミニウムライナー形成段階後連続的に真空雰囲気を維持する状態で行われることを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項18】 前記金属膜は、アルミニウム又はアルミニウム合金より成ることを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項19】 前記金属膜は、直流マグネトロンスパッタリング方法により形成されることを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項20】 前記障壁金属膜を熱処理する段階は、350℃～500℃の温度下で行われることを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項21】 前記障壁金属膜を形成する段階前に、
前記半導体基板上にホール領域を限定する層間絶縁膜を形成する段階をさらに含み、
前記障壁金属膜は前記層間絶縁膜が形成された結果物の全面に形成されることを特徴とする請求項1に記載の半導体素子の金属配線形成方法。

【請求項22】 前記ホール領域は、前記半導体基板の所定領域を露出させるコンタクトホール、ビアホール、または前記層間絶縁膜の厚さより小さい深さを有するグループであることを特徴とする請求項21に記載の半導体素子の金属配線形成方法。

【請求項23】 前記ホール領域は、半導体基板のソース/ドレイン領域または導電層を露出させるコンタクトホールであることを特徴とする請求項21に記載の半導体素子の金属配線形成方法。

【請求項24】 前記ホール領域は、前記半導体基板の金属配線を露出させるビアホールであることを特徴とする請求項21に記載の半導体素子の金属配線形成方法。

【請求項25】 前記金属膜を形成する段階は、前記金属膜により前記ホール領域が完全に充填されるように行われることを特徴とする請求項21に記載の半導体素子の金属配線形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は半導体集積回路の製

造方法に係り、特に金属配線形成方法に関する。

【0002】

【従来の技術】半導体素子が高密度化及び高集積化されることにより多層配線構造の金属配線を有する回路構成が必須的に要求される。金属配線は電気的な信号を伝送させる役割を果たすため電気的な抵抗が低くなければならず、経済的で信頼性が高くなければならない。このような条件を充足させる適していた金属配線物質としてアルミニウムが広く使用されている。

【0003】回路の線幅が狭くなることにより、アルミニウムのような配線材料を使用する半導体素子の製造工程において、配線形成のための蒸着工程として、従来の技術をそのまま適用するには技術的限界がある。それにより、下層の導電層と上層のアルミニウム配線との接続部であるコンタクトホール(contact hole)、又は下層のアルミニウム配線と上層のアルミニウム配線との接続部であるビアホール(via hole)の内部を配線物質で完全に埋め込む技術がこれらの間の電気的接続を可能にするために非常に重要な技術で強調されている。

【0004】コンタクトホール又はビアホールをアルミニウムで埋め込むことにおいて、より優秀な電気的特性及びより完璧な埋め込み特性を得るために、多様な工程技术が開発されている。次世代記憶素子製造において、回路の線幅が $0.25\mu\text{m}$ 以下である金属配線形成のための蒸着工程ではコンタクトホール又はビアホールのアスペクト比(aspect ratio)が大きいため、スパッタリング方式のようなPVD(physical vapor deposition)方法にのみ依存することは不適切である。このような点を克服するために、PVD方法に比べてステップカバレッジ(step coverage)特性が優れたCVD(chemical vapor deposition)法を用いてアルミニウム配線を形成する工程に関する多様な研究が進行されてきた。

【0005】CVD方法を用いてアルミニウムを蒸着する工程ではアルミニウムソース材料としてアルミニウム化合物である前駆体を使用する。しかし、アルミニウム膜形成のために現在使用されている前駆体はCVD工程時蒸着対象の表面の状態により蒸着特性が変化する選択的蒸着特性を示す。このように選択的蒸着特性を現す前駆体を使用してアルミニウム配線を形成する時、従来技術による金属配線形成技術をそのまま適用すれば、コンタクトホール又はビアホール内で全面的に均一な厚さを有するアルミニウム膜を形成しにくい。従って、コンタクトホール又はビアホール埋め込み工程に必要なアルミニウム膜をCVD方法により形成する時再現性が悪くなる。

【0006】

【発明が解決しようとする課題】本発明の目的はコンタクトホール又はビアホールを埋め込むためのアルミニウム膜をCVD方法で形成する時、前記アルミニウム膜を再現性のあるように形成できる金属配線方法を提供することである。

【0007】

【課題を解決するための手段】前記目的を達成するために、本発明に係る半導体素子の金属配線形成方法では半導体基板上に障壁金属膜を形成する。アルミニウム膜の成長のための核形成用ライナー(nucleation liner)を真空雰囲気下で前記障壁金属膜上に形成する。真空雰囲気下においてインサイチュ(その場: in-situ)でCVD(chemical vapor deposition)方法により前記核形成用ライナー上にアルミニウム膜を成長させてアルミニウムライナーを形成する。PVD(physical vapor deposition)方法を用いて前記アルミニウムライナー上に金属膜を形成する。前記金属膜が形成された結果物を真空雰囲気下で熱処理してリフロー(reflow)させる。

【0008】本発明に係る半導体素子の金属配線形成方法では、前記障壁金属膜を形成する前に、前記半導体基板上に抵抗性金属膜を形成する段階をさらに含める。

【0009】又、本発明に係る半導体素子の金属配線形成方法では、前記障壁金属膜を形成する段階後に、前記障壁金属膜を熱処理する段階をさらに含める。前記障壁金属膜の熱処理は急速熱処理(rapid thermal anneal)工程で行われることが望ましい。

【0010】前記核形成用ライナーは耐熱金属又は耐熱金属化合物、例えばTi膜、TiN膜又はTi/TiN膜よりなる。前記核形成用ライナーはCVD又はPVD方法で形成できる。望ましくは、前記核形成用ライナーはTi-リッチTiN膜を含む。前記Ti-リッチTiN膜は H_2 プラズマを使用するCVD方法、又はスパッタリング方法により形成できる。前記核形成用ライナーは $10\sim 100\text{\AA}$ の厚さで形成される。

【0011】前記金属膜形成段階は前記アルミニウムライナー形成段階後連続的に真空雰囲気を維持する状態で行われることが望ましい。前記金属膜はアルミニウム又はアルミニウム合金よりなる。

【0012】又、本発明に係る半導体素子の金属配線形成方法では、前記障壁金属膜を形成する段階前に、前記半導体基板上にホール領域を限定する層間絶縁膜を形成する段階をさらに含める。この際、前記障壁金属膜は前記層間絶縁膜が形成された結果物の全面に形成される。

【0013】本発明によると、コンタクトホール又はビアホールのアスペクト比が大きい高集積半導体素子を製造する場合にも、CVD法により形成されるアルミニウムライナーが核形成用ライナー上で均一な厚さで再現性のあるように形成できる。従って、金属配線形成のためのコンタクトホール又はビアホールを完全に埋め込むことができ、このような方法から得られる半導体素子の信頼性を向上させ得る。

【0014】

【発明の実施の形態】以下、添付した図面を参照して本発明の望ましい実施例に対して詳細に説明する。

【0015】又、次に例示する実施例は色々異なる形態

で変形でき、本発明の範囲が後述する実施例に限定されることではない。本発明の実施例は当業界で平均的な知識を持つ者に本発明をより完全に説明するために提供されることである。添付図面で膜又は領域のサイズ又は厚さは明細書の明確性のために誇張されたことである。

又、ある膜が異なる膜又は基板の“上”にあるという記載された場合、前記ある膜が前記異なる膜の上に直接存在することもでき、その間に第3の異なる膜が介在することもできる。

【0016】図1乃至図6は本発明の一実施例による半導体素子の金属配線形成方法を説明するために工程順序に応じて示した断面図である。

【0017】図1を参照すれば、上面に導電領域12が露出された半導体基板10上にホール領域20を限定する周囲絶縁膜22を形成する。前記周囲絶縁膜22は例えば、BPSG (borophosphosilicate glass) 膜又はドーピングされないシリコン酸化膜 (undoped silicon oxide layer) で構成できる。

【0018】前記導電領域12はソース/ドレイン領域、又は前記半導体基板10上に形成されているトランジスタ等を構成する導電層であり得る。この場合、前記ホール領域20は、コンタクトホール (contact hole) を構成する。又は、前記導電領域12は金属配線層でありうる。この場合、前記ホール領域20はビアホール (via hole) を構成する。図1では前記ホール領域20を通じて前記導電領域12が露出されることと示したが、前記ホール領域20はダマシン (damascene) 配線形成のためのグルーブ (groove) を構成することもできる。この場合、前記グルーブは前記周囲絶縁膜22の厚さより小さな深さを有し、前記導電領域12は前記グルーブを通じて露出されない。

【0019】図2を参照すれば、前記周囲絶縁膜22が形成された結果物の全面に抵抗性金属膜32及び障壁金属膜34を順次に形成する。前記抵抗性金属膜32はTi又はTa、望ましくはTiより成る。又、前記障壁金属膜34はTiN、TiAlN、TiSiN、TaAlN、TaSiN又はWN、望ましくはTiNより成る。

【0020】次いで、前記障壁金属膜34を熱処理する。前記導電領域12が不純物層より成るソース/ドレイン領域である場合、前記熱処理により前記抵抗性金属膜32内の金属原子と前記不純物層内のシリコン原子が反応して金属シリサイド膜が形成されることと同時に、前記障壁金属膜34の粒界境界領域 (grain boundary region) が酸素原子として充填される酸素スタッフィング (詰め込み: stuffing) 効果が得られる。このように、前記障壁金属膜34を熱処理すれば、前記導電領域12と障壁金属膜34との間に形成された金属シリサイド膜によりコンタクト抵抗が改善され、前記導電領域12内のシリコン原子と、後続工程で形成される金属膜内のアルミニウム原子が前記障壁金属膜34を通じて相互拡散される現象を抑制できる。従って、前記導電領域12が金属配線層を構成す

る場合、即ち前記ホール領域が金属配線層を露出させるビアホールである場合には前記障壁金属膜34形成段階及びその熱処理段階が省略できる。同様に、前記ホール領域20がダマシン配線形成のためのグルーブを構成する場合にも前記障壁金属膜34形成段階及びその熱処理段階が省略できる。

【0021】前記障壁金属膜34を熱処理する工程は窒素雰囲気下で約400℃～550℃の温度で約30分～1時間行われる。又は、前記障壁金属膜34を熱処理する工程はアンモニア (NH₃) ガス雰囲気下で約650℃～850℃の温度で急速熱処理 (rapid thermal anneal) できる。前記急速熱処理工程は約30秒～2分間行うことが望ましい。

【0022】図3を参照すれば、前記障壁金属膜34上に核形成用ライナー (nucleation liner) 42を形成する。前記核形成用ライナー42を形成する理由は、後続工程でアルミニウムソース材料として使用される前駆体を使用してCVD方法によりアルミニウム膜を形成する時前記アルミニウム膜が再現性のあるように得られることによりアルミニウムが蒸着される対象表面の状態、即ち前記障壁金属膜34の表面の状態を良好に変えるためである。従って、前記核形成用ライナー42は一定厚さ以上で厚く形成するべき必要はなく、10～100Åの厚さ、望ましくは10～50Åの厚さで形成する。

【0023】前記核形成用ライナー42は耐熱性金属又は耐熱性金属化合物より成る。望ましくは、前記核形成用ライナー42はTi膜、TiN膜又はTi/TiN膜より成る。前記核形成用ライナー42がTiN膜を含む場合、前記TiN膜はTi-リッチ (rich) TiN膜より成るように形成する。ここで、使用される用語“Ti-リッチTiN膜”はTiN膜内でTi原子とN原子との原子比が1以上 (Ti/N>1) である膜を示す語として使用される。即ち、前記Ti-リッチTiN膜内ではTiが化学量論的量を超過する量として存在する。通常に障壁金属膜を構成するTiN膜はN-リッチTiN膜で形成されることに反して、前記核形成用ライナー42を構成するTiN膜をTi-リッチTiN膜に形成する理由はTi-リッチTiN膜が障壁金属膜を構成する通常的なTiN膜より優れた伝導性を提供するだけではなく、後続のCVD方法によるアルミニウムライナー52形成時 (図4参照) 前記Ti-リッチTiN膜上でアルミニウムの蒸着が良くなり、表面形状が非常に優秀な膜を得られるためである。前記核形成用ライナー42をTi-リッチTiN膜に形成する場合に得られるさらに他の利点に対しては後述する。

【0024】前記核形成用ライナー42を構成するTi-リッチTiN膜を形成するためにCVD方法又はPVD方法を用いられる。

【0025】例えば、前記核形成用ライナー42を構成するTi-リッチTiN膜はH₂プラズマを使用するMOCVD (metal organic CVD) 方法により形成できる。TiN膜形成のためのMOCVD工程中にリモートプラズマ (remote plasma) 方式で供給されるH₂プラズマから発生される水素ラジカル(r

adical))はTiソース材料として使用される有機チタン前駆体(organotitanium precursor)、例えばTDMAT(tetrakis-dimethylamidotitanium)、TDEAT(tetrakis-diethylamidotitanium)等のようなアルキルアミドチタン誘導体(alkylamidotitanium derivatives)と反応してTi-リッチTiN膜を形成する。

【0026】前記核形成用ライナー42を形成するための他の方法として、優れたステップカバレッジを得られるPVD方法、例えばコリメータスパッタリング方法、SIP(self-ionized plasma sputtering)方法、又はHCM(hollow cathode magnetron)スパッタリング方法を用いることもできる。

【0027】例えば、Ti膜とTi-リッチTiN膜との複合膜より成る前記核形成用ライナー42をHCMスパッタリング方法で形成する場合、スパッタリングチャンバ内の圧力を1~20torr範囲内で維持させながら、常温~200℃の温度範囲内でチタンターゲットを使用してTi膜を形成した後、他の条件はそのまま維持しながら前記スパッタリングチャンバ内に少量の窒素を供給して前記Ti膜上にTi-リッチTiN膜を形成する。

【0028】図4を参照すれば、CVD方法により前記核形成用ライナー42上にアルミニウムライナー52を約10~200Åの厚さで形成する。前記アルミニウムライナー52形成段階は真空雰囲気下においてインサイチュで行われる。このため、前記核形成用ライナー42の形成のための反応チャンバと前記アルミニウムライナー52形成のための反応チャンバとが一つの装置内に含まれている一体型クラスタツール(integrated cluster tool)タイプの装置を使用する。

【0029】例えば、前記アルミニウムライナー52は選択的MOCVD方法を用いて形成する。前記アルミニウムライナー52の形成のための選択的MOCVD工程はDMAH(dimethylaluminum hydride)、TMAA(trimethylamine alane)、DMEAA(dimethylethylamine alane)又はMPA(methylpyrrolidine alane)のような有機金属化合物(organometallic compound)より成る前駆体をアルミニウムソース(源)として使用して100~300℃、望ましくは120℃の蒸着温度、0.5~5torr、望ましくは1torrの圧力下で行われる。この際、前記前駆体をCVDチャンバに供給するために、バブラ(bubbler)タイプ、気相流量コントローラ(vapor flow controller)タイプ、又は液相運送システム(liquid delivery system)タイプのような原料伝達装置が使用できる。希釈用ガスでアルゴン(Ar)のような不揮発性ガスを使用する。又、前記前駆体の分解を促進するために水素H₂ガスのような反応性ガスを添加することもできる。

【0030】前記アルミニウムライナー52はアルミニウム膜が再現性のあるように蒸着できる表面を提供する前記核形成用ライナー42を形成した後、インサイチュ真空雰囲気下においてインサイチュで形成されるため、均一な厚さで再現性のあるように形成できる。

【0031】図5を参照すれば、前記アルミニウムライナー52が形成された結果物上に、前記アルミニウムライナー52により限定される前記ホール領域20の内部を完全に充填するように金属膜54を形成する。前記金属膜54はPVD(physical vapor deposition)法を用いて形成される。前記金属膜54はアルミニウム又はアルミニウム合金より成ることが望ましい。

【0032】前記金属膜54をPVD法で形成するために、例えば直流スパッタリング(DC sputtering)、直流マグネトロンスパッタリング(DC magnetron sputtering)、交流スパッタリング(AC sputtering)又は交流マグネトロンスパッタリング(AC magnetron sputtering)法を用いられる。望ましくは、前記金属膜54は直流マグネトロンスパッタリング法で形成される。前記金属膜54形成段階は一体型クラスタツールタイプの装置を用いて前記アルミニウムライナー52形成段階後連続的に真空雰囲気を維持した状態で行える。

【0033】図6を参照すれば、前記金属膜54が形成された結果物を真空雰囲気下で熱処理してリフロー(reflow)させる。このため、前記金属膜54が形成された結果物を真空雰囲気下で、アルゴンのような不活性ガス雰囲気中で数秒~数分、望ましくは30~180秒間350~500℃で熱処理する。前記リフローのための熱処理工程は前記金属膜54の表面酸化を最大限抑制させた状態で進行されなければならない。従って、前記熱処理時には1torr以下の圧力、望ましくは10⁻⁶torr以下の高真空状態で行うことが望ましい。

【0034】図3を参照して説明した前記核形成用ライナー42をTi-リッチTiN膜で形成した場合に、図6を参照して説明したようなリフローのための熱処理時に、前記Ti-リッチTiN膜と前記アルミニウムライナー52との間にTiAl₃が形成されて前記アルミニウムライナー52を構成するAlの移動度を制限するため、高温の熱処理工程を経ても前記アルミニウムライナー52の形態がそのまま維持できる利点がある。

【0035】前記のような条件下で前記金属膜54が形成された結果物を熱処理した結果、前記金属膜54が移動して前記ホール領域20内部がボイドなしで完全に埋め込まれながら、平坦化された上面を有する平坦化された金属膜54aが形成される。

【0036】

【発明の効果】以上述べた通り、本発明ではアルミニウム配線を形成するためコンタクトホール又はビアホールを金属膜で埋め込む時、CVD方法を用いてアルミニウムライナーを形成する前に、前記アルミニウムライナーが再現性のあるように蒸着できる表面を提供するために核形成用ライナーを予め形成し、真空雰囲気下においてインサイチュで前記アルミニウムライナーを形成する。従って、コンタクトホール又はビアホールのアスペクト比が大きい高集積半導体素子を製造する場合にも、CVD法

により形成されるアルミニウムライナーが前記核形成用ライナー上で均一な厚さで再現性のあるように形成でき、それにより金属配線形成のためのコンタクトホール又はビアホールを完全に埋め込める。又、このような方法から得られる半導体素子の信頼性を向上させ得る。

【0037】以上、本発明を望ましい実施例を挙げて詳細に説明したが、本発明は前記実施例に限らず、本発明の技術的思想の範囲内で当分野において通常の知識を持つ者により様々な変形が可能である。

【図面の簡単な説明】

【図1】 本発明の一実施形態による半導体素子の金属配線形成方法を説明するために工程順序に応じて示した断面図であって、第一の段階を示す図である。

【図2】 本発明の一実施形態による半導体素子の金属配線形成方法を説明するために工程順序に応じて示した断面図であって、図1の次の段階を示す図である。

【図3】 本発明の一実施形態による半導体素子の金属

配線形成方法を説明するために工程順序に応じて示した断面図であって、図2の次の段階を示す図である。

【図4】 本発明の一実施形態による半導体素子の金属配線形成方法を説明するために工程順序に応じて示した断面図であって、図3の次の段階を示す図である。

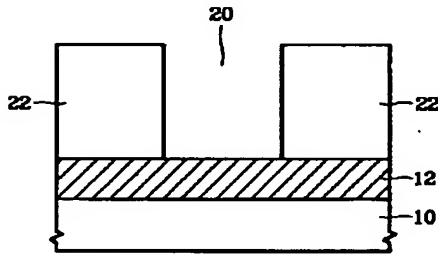
【図5】 本発明の一実施形態による半導体素子の金属配線形成方法を説明するために工程順序に応じて示した断面図であって、図4の次の段階を示す図である。

【図6】 本発明の一実施形態による半導体素子の金属配線形成方法を説明するために工程順序に応じて示した断面図であって、図5の次の段階を示す図である。

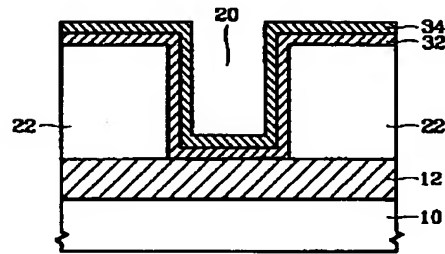
【符号の説明】

- 10 半導体基板
- 12 導電領域
- 20 ホール領域
- 22 層間絶縁膜

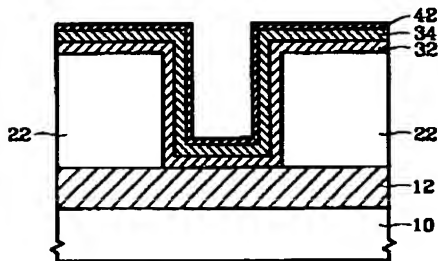
【図1】



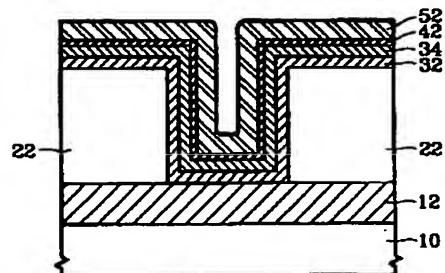
【図2】



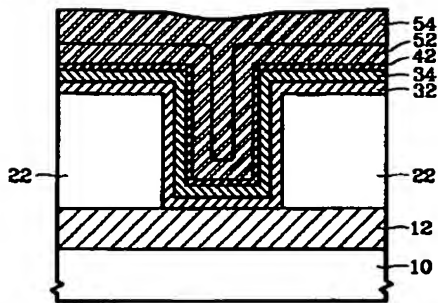
【図3】



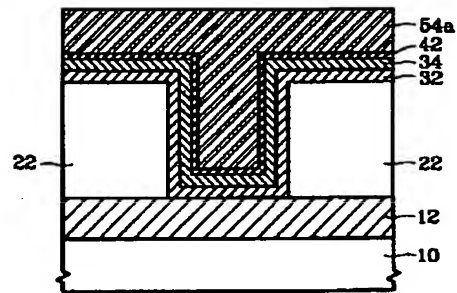
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 李 明範
大韓民国ソウル特別市松坡区可楽洞95-1
番地錦湖アパート108棟1505号
(72)発明者 尹 周榮
大韓民国ソウル特別市陽川区新亭1洞312
番地木洞アパート922棟903号
(72)発明者 崔 吉鉉
大韓民国京畿道城南市盆唐区盆唐洞38番地
セッビョルマウル友邦アパート302棟602号

Fターム(参考) 4M104 AA01 BB14 BB17 BB38 CC01
DD37 DD43 DD45 DD46 DD79
DD80 DD84 FF18 FF22
5F033 HH08 HH09 HH18 HH21 HH27
HH30 HH32 HH33 HH34 JJ08
JJ09 JJ18 JJ21 JJ27 JJ30
JJ32 JJ33 JJ34 KK01 KK07
LL09 MM01 MM08 MM12 MM13
NN06 NN07 PP02 PP07 PP11
PP12 QQ09 QQ37 QQ70 QQ73
QQ75 RR04 RR15 WW02 WW03